

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03605529 **Image available**

METHOD AND EQUIPMENT FOR FORMATION OF WIRING
INSULATION FILM OF
SEMICONDUCTOR DEVICE

PUB. NO.: 03-268429 [JP 3268429 A]

PUBLISHED: November 29, 1991 (19911129)

INVENTOR(s): OTSUBO TORU
YAMAGUCHI YASUHIRO

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 02-067002 [JP 9067002]

FILED: March 19, 1990 (19900319)

INTL CLASS: [5] H01L-021/316

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA)

JOURNAL: Section: E, Section No. 1171, Vol. 16, No. 79, Pg. 130,
February 26, 1992 (19920226)

ABSTRACT

PURPOSE: To enable high-yield manufacture of a device of highly integrated multilayered wiring structure by charging an etching gas containing fluorine atoms into a plasma CVD film-depositing gas to proceed film deposition from this gas by plasma while making reactive ion etching with the etching gas.

CONSTITUTION: A plasma CVD film-depositing gas charged with an etching gas (reaction gas) containing fluorine atoms is fed into a treatment chamber to generate plasma 60, thereby depositing an insulating film on the wiring pattern of a treatment substrate 9 by plasma CVD from film-depositing gas upon heating. On the other hand, reactive etching is conducted by evaporation upon chemical reaction of fluorine gas ions of the reaction gas entering by potential difference developed between the plasma 60 and the lower electrode 3 with the result that a high-quality insulating film is formed on the wiring pattern of the treatment substrate 9 without voids. This process enables flat formation of a surface without being influenced by ruggedness of the insulating film surface generated by a wiring film and therefore high-yield manufacture of semiconductor devices.

DIALOG(R)File 352:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.
008892570 **Image available**
WPI Acc No: 1992-019839/199203
XRAM Acc No: C94-003194
XRXPX Acc No: N94-006455

Deposition of an insulating layer over metallisation - by plasma CVD in presence of a reactive anisotropic etching gas so that a void-free layer is deposited

Patent Assignee: HITACHI LTD (HITA)

Inventor: OTSUBO T; YAMAGUCHI Y

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 3268429	A	19911129	JP 9067002	A	19900319	199203 B
US 5275977	A	19940104	US 91669526	A	19910314	199402
KR 9410502	B1	19941024	KR 914053	A	19910314	199638

Priority Applications (No Type Date): JP 9067002 A 19900319

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

US 5275977	A	13	H01L-021/00	
------------	---	----	-------------	--

KR 9410502	B1		H01L-021/285	
------------	----	--	--------------	--

Abstract (Basic): JP 3268429 A

In sintering Pb contg. Bi stratiform perovskite type superconductive wiring film, the film is temporarily held at a temp. (T1), at which a part or all of the superconductive film is melted. Then the film is sintered at a temp. (T2) at which the phase having the highest critical temp. among the superconductive phases is formed.

USE/ADVANTAGE - Bi stratiform superconductive wiring contg. a high content of 110 K phase has good orientation.

In an example, deposition of a film was effected by RF magnetron sputtering. A metal mask was used on sputtering, and lines having a width of 100 microns to 1 mm were formed on a substrate. The film was formed to make a compsn. of the film of Bi:Pb:Sr:Ca:Cu=1.0:0.8:1.0:1.0:1.6. In sintering of the film, the film was held at 805 deg.C for 40 min, then the temp. was elevated at a rate of 2 deg.C/min. The prod. had the strongest intensity for 110 K phase in the X ray diffraction diagram. (5pp Dwg.No.1/5)

Title Terms: DEPOSIT; INSULATE; LAYER; METALLISE; PLASMA; CVD; PRESENCE; REACT; ANISOTROPE; ETCH; GAS; SO; VOID; FREE; LAYER; DEPOSIT

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/00; H01L-021/285

International Patent Class (Additional): H01L-021/02; H01L-021/302;

H01L-021/31; H01L-021/463

File Segment: CPI; EPI

⑫ 公開特許公報 (A)

平3-268429

⑬ Int. Cl. 5

H 01 L 21/316

識別記号

府内整理番号

X 6940-4M

⑭ 公開 平成3年(1991)11月29日

審査請求 未請求 請求項の数 26 (全10頁)

⑮ 発明の名称 半導体デバイスの配線絶縁膜の形成方法及びその装置

⑯ 特願 平2-67002

⑰ 出願 平2(1990)3月19日

⑱ 発明者 大坪 徹 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 発明者 山口 泰広 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑳ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代理人 弁理士 小川 勝男 外1名

明細書

1. 発明の名称

半導体デバイスの配線絶縁膜の形成方法及びその装置

2. 特許請求の範囲

1. 处理室内に設置された下部電極上に、配線パターンを形成した処理基板を載置し、プラズマCVDの成膜ガス中に、フッ素ガスを含む反応ガスを入れて処理室内に供給してプラズマを発生させ、上記処理基板を加熱して上記成膜ガスによるプラズマCVDにより上記処理基板の配線パターン上に絶縁膜を成長しつつ、プラズマと上記下部電極との間に生じる電位差によって上記反応ガスのフッ素ガスイオンを絶縁膜上に入射させて該フッ素ガスイオンと絶縁膜との化学反応により気化させてリアクティブエッチングを行なって上記処理基板の配線パターン上にポイドを発生することなく高品質の絶縁膜を形成することを特徴とする半導体デバイスの配線絶縁膜の形成方法。

2. 上記処理基板上への絶縁膜形成速度を処理室内の他の部分より早くさせて、処理室内壁に絶縁膜が付着させないようにしたことを特徴とする請求項1記載の半導体デバイスの配線絶縁膜の形成方法。

3. 上記処理基板を通って流れる電流のインピーダンスを処理室内の他の部分より高くしてリアクティブエッチング速度を遅くして処理室内壁に絶縁膜が付着させないようにしたことを特徴とする請求項1記載の半導体デバイスの配線絶縁膜の形成方法。

4. 上記処理室内に、上記下部電極と対向する位置に設けられた上部電極に高周波電圧を印加すると共に上記上部電極部分から上記成膜ガスと反応ガスとを混合させて上記処理基板の上方に供給してプラズマを発生させることを特徴とする請求項1記載の半導体デバイスの配線絶縁膜の形成方法。

5. 上記絶縁膜は疎化シリコン膜であることを特徴とする請求項1記載の半導体デバイスの配線

絶縁膜の成形方法。

6. 上記成膜ガスとして、Si(O₂H₂)_n、Si(OCH₃)_n、SiF₄、SiH₄から選ばれた少なくとも一つと酸素ガスを含むことを特徴とする請求項5記載の半導体デバイスの配線絶縁膜の形成方法。
7. 上記反応ガスとして、CF₄、C₂F₆、C₃F₈、CHF₃から選ばれた少なくとも一つを含むことを特徴とする請求項5又は6記載の半導体デバイスの配線絶縁膜の形成方法。
8. 処理室内に配置された下部電極に、絶縁膜を形成した配線パターンを有する処理基板を載置し、上記絶縁膜と同じ反応ガスで分解可能な物質をガス状にして上記処理室内の処理基板上に供給し、上記処理基板の絶縁膜の表面に、上記ガス状の物質を膜状に所望の厚さ付着させ、この付着された膜に温度変化を与えて液状に変換して該膜の表面を平坦化し、その後該膜を固化し、その後上記反応ガスを上記処理基板の上方に供給してプラズマを発生させて上記固化した

膜と共に上記絶縁膜の表面をプラズマエッティングして上記絶縁膜の表面を平坦化することを特徴とする半導体デバイスの配線絶縁膜の形成方法。

9. 上記絶縁膜は酸化シリコン膜であることを特徴とする請求項8記載の半導体デバイスの配線絶縁膜の形成方法。
10. 上記物質ガスとして、Si(O₂H₂)_n、Si(OCH₃)_nのいずれかを含むことを特徴とする請求項5記載の半導体デバイスの配線絶縁膜の形成方法。
11. 上記反応ガスとして、CF₄、C₂F₆、C₃F₈、CHF₃から選ばれた少なくとも一つを含むことを特徴とする請求項8又は9記載の半導体デバイスの配線絶縁膜の形成方法。
12. 上記ガス状物質の膜の付着と液状膜の固化とを上記処理基板を該物質の融点以下に冷却して行なうこととする請求項8記載の半導体デバイスの配線絶縁膜の形成方法。
13. 上記付着した膜の液状化を上記処理基板の上

方からのヒータ加熱により行なうことを特徴とする請求項5記載の半導体デバイスの配線絶縁膜の形成方法。

14. 処理室内に設置された下部電極上に、配線パターンを形成した処理基板を載置し、プラズマCVDの成膜ガス中に、フッ素ガスを含む反応ガスを入れて処理室内に供給してプラズマを発生させ、上記基板を加熱して上記成膜ガスによるプラズマCVDにより上記処理基板の配線パターン上に絶縁膜を成膜しつつ、プラズマと上記電極との間に生じる電位差によって上記反応ガスのフッ素ガスイオンを絶縁膜上に入射させて該フッ素ガスイオンと絶縁膜との化学反応により気化させてリアクティブエッティングを行なって上記処理基板の配線パターン上にボイドを発生させることなく高品質の絶縁膜を形成する絶縁膜形成工程と、処理室内に設置された下部電極上に、上記絶縁膜形成工程により形成された絶縁膜を有する処理基板を載置し、上記絶縁膜と同じ反応ガスで分解可能な物質をガス状に

して上記処理室内の処理基板上に供給し、上記処理基板の絶縁膜の表面に、上記ガス状の物質を膜状に所望の厚さ付着させ、この付着された膜に温度変化を与えて液状に変換して該膜の表面を平坦化し、その後該膜を固化し、その後上記反応ガスを上記基板の上方に供給してプラズマを発生させて上記固化した膜と共に上記絶縁膜の表面をプラズマエッティングして上記絶縁膜の表面を平坦化する絶縁膜表面平坦化工程とからなることを特徴とする半導体デバイスの配線絶縁膜の形成方法。

15. 処理室内に設置され、且つ配線パターンを形成した処理基板を載置する下部電極と、プラズマCVDの成膜ガス中に、フッ素ガスを含む反応ガスを入れて処理室内に供給してプラズマを発生させるプラズマ発生手段と、上記基板を加熱して上記成膜ガスによるプラズマCVDにより上記処理基板の配線パターン上に絶縁膜を成膜しつつ、プラズマと上記電極との間に生じる電位差によって上記反応ガスのフッ素ガスイオ

- ンを絶縁膜上に入射させて該フッ素ガスイオンと絶縁膜との化学反応により気化させてリアクティブエッチングを行なって上記処理基板の配線パターン上にポイドを発生させることなく高品質の絶縁膜を形成する成膜手段とを備えたことを特徴とする半導体デバイスの配線絶縁膜の形成装置。
16. 更に、上記処理基板上への絶縁膜形成速度を処理室内の他の部分より早くさせて、処理室内壁に絶縁膜が付着させないようにする絶縁膜形成速度制御手段を備えたことを特徴とする請求項1⁵記載の半導体デバイスの配線絶縁膜の形成装置。
17. 更に、上記処理基板を通って流れる電流のインピーダンスを処理室内の他の部分より高くしてリアクティブエッチング速度を遅くして処理室内壁に絶縁膜が付着させないようにするインピーダンス制御手段を備えたことを特徴とする請求項1⁵記載の半導体デバイスの配線絶縁膜の形成装置。
- 化するプラズマエッティング手段とを備えたことを特徴とする半導体デバイスの配線絶縁膜の形成装置。
20. 上記固化手段を、上記処理基板を該物質の融点以下に冷却する冷却手段で構成したことを特徴とする請求項1⁹記載の半導体デバイスの配線絶縁膜の形成装置。
21. 上記平坦化手段として、上記処理基板の絶縁膜上に付着した膜状物質を加熱する加熱手段で構成したことを特徴とする請求項1⁹記載の半導体デバイスの配線絶縁膜の形成装置。
22. 上記加熱手段は、ヒータ加熱手段であることを特徴とする請求項2⁶の半導体デバイスの配線絶縁膜の形成装置。
23. 上記固化手段として付着される膜厚を測定する膜厚測定手段を有することを特徴とする請求項1⁹記載の半導体デバイスの配線絶縁膜の形成装置。
24. 上記膜厚測定手段として光干渉法で測定するように構成したことを特徴とする請求項2³記載の半導体デバイスの配線絶縁膜の形成装置。
18. 上記プラズマ発生手段として、上記処理室内に、上記下部電極と対向する位置に設けられ、且つ高周波電圧を印加すると共に上記成膜ガスと反応ガスとを混合させて上記基板の上方に供給する上部電極をしてプラズマを発生させる上部電極を有することを特徴とする請求項1⁹記載の半導体デバイスの配線絶縁膜の形成装置。
19. 処理室内に設置され、且つ絶縁膜を形成した配線パターンを有する処理基板を載置する下部電極と、上記絶縁膜と同じ反応ガスで分解可能な物質をガス状にして上記処理室内の処理基板上に供給する物質ガス供給手段と、上記処理基板の絶縁膜の表面に、上記ガス状の物質を膜状に所望の厚さ付着させ、その後該膜を固化する固化手段と、上記付着された膜に温度変化を与えて液状に変換して該膜の表面を平坦化する平坦化手段と、上記反応ガスを上記基板の上方に供給してプラズマを発生させて上記表面を平坦にして固化した膜と共に上記絶縁膜の表面をプラズマエッティングして上記絶縁膜の表面を平坦化する手段とを備えたことを特徴とする半導体デバイスの配線絶縁膜の形成装置。
25. 上記プラズマエッティング手段は、プラズマエッティング中のプラズマ発光の分光強度を測定してプラズマエッティングを制御する分光分析手段を有することを特徴とする請求項1⁹記載の半導体デバイスの配線絶縁膜の形成装置。
26. プラズマCVDにより上記処理基板の配線パターン上に絶縁膜を成膜しつつ、該絶縁膜との化学反応により気化させてリアクティブエッチングを行なって上記処理基板の配線パターン上にポイドを発生させることなく高品質の絶縁膜を形成する絶縁膜形成手段と、上記絶縁膜形成手段により形成された絶縁膜上に該絶縁膜と同じ反応ガスで分解可能な物質を、温度変化させることにより表面平坦化するよう膜を付着し、該膜と共に絶縁膜の表面をプラズマエッティングして絶縁膜の表面を平坦化するプラズマエッティング手段とを備えたことを特徴とする半導体デバイスの配線絶縁膜の形成装置。
3. 発明の詳細な説明

【産業上の利用分野】

本発明は半導体デバイスの製造に係り、特に高集積化された多層配線構造のデバイス製造に好適な半導体デバイスの配線絶縁膜の形成方法およびその装置に関する。

【従来の技術】

半導体デバイスの高集積化、高密度化により、半導体デバイス表面の凹凸ははげしくなり、またその表面に何層もの配線を信頼性よく形成することが必要となっている。そのためには何層もの配線を絶縁分解する絶縁膜を、下地表面の凹凸に関係なく、形成した膜表面が平坦になるよう形成することが不可欠である。この絶縁膜の平坦化形成方法に関しては電気化学および工業物理化学Vol.57 No.4(1989) P281~P285 Semicon NEWS 1989.6 (マーコム・インターナショナル発行) P49~P67に現在検討されている平坦化方法が示されている。

平坦化の方法としては塗布膜による方法、スパッタエッチングを用いる方法、エッチバックによる方法、リフローによる方法など多くの方法が提

案検討されている。

課題

【発明が解決しようとする問題】

半導体デバイスの配線間絶縁膜形成では単に平坦な膜を形成するだけでなく、膜形成処理によりデバイス特性へ影響がないこと、膜の中にポイドができるないこと、処理に伴う塵埃の発生が少ないと、などが必要である。また生産性の向上をはかる上では、塗布膜などを用いるウェット処理を含まず、真空中で連続して処理できる方法でなければならない。

しかし上記従来技術ではスパッタエッチングを用いた真空中で連続して処理できる方法では、デバイス特性への影響や塵埃の発生があり、塗布膜やエッチングを用いる方法はウェット処理と真空中での処理の組合せとなる。このように従来の半導体デバイスの配線間絶縁膜形成方法では、さきに述べた量産に必要な性能をすべて満足した方法がない。

本発明の目的は上記課題を満足し、量産に適した半導体デバイスの配線絶縁膜の形成方法および

その形成装置を提供することにある。

課題

(問題点を解決するための手段)

即ち本発明は、上記目的を達成するために、プラズマCVDの成膜ガス中に、フッ素原子を含むエッティングガス(反応ガス)を入れて処理室内に供給してプラズマを発生させ、基板を加熱して成膜ガスによるプラズマCVDにより処理基板の配線パターン上に絶縁膜を成長しつつ、プラズマと上記下部電極との間に生じる電位差によって入射する反応ガスのフッ素ガスイオンと絶縁膜との化学反応によって気化させてリアクティブエッティングを行なって、処理基板の配線パターン上にポイドを発生させることなく高品質の絶縁膜を形成することを特徴とするものである。

また、本発明は、配線パターン上に絶縁膜を形成した処理基板を冷却し、絶縁膜と同じ反応ガスで分解可能な物質で形成され、且つ融点が冷却された処理基板より高い物質ガスを供給して処理基板上に吸着させ、処理基板温度を融点以上にして吸着ガスを液化し、表面を平坦化した後、融点以

下に下げ固体化し、上記反応ガスによりこの固体化した膜と、その下の絶縁膜のエッティング速度が同じ条件でエッティングし、表面の平坦性を絶縁膜表面に形成(転写)するようにした。

【作用】

絶縁膜を形成するプラズマCVDの成膜ガス中にフッ素原子を含むエッティングガスを入れ、プラズマを発生して処理すると、成膜ガスによる膜形成が進む一方、エッティングガスによるリアクティブイオンエッティングにより、基板に垂直な方向が主にエッティングされ、パターンの側壁には順テープ状に膜が形成される。このようにパターンの側面に形成される膜は開口面が広がった順テープ状であるため、両側のパターン側面より形成される膜は、底面より順次成長するため、ポイドの発生がない。

また基板表面に吸着したガスを液化するため、基板の表面形状に関係なく、液の表面は平坦になり、これを融点以下に冷却することにより、基板の表面は平坦な固体化した膜でカバーされる。こ

の固体化した膜と、形成した絶縁膜のエッチング速度が同じ条件でエッチングすると、絶縁膜の凹凸に関係なく、エッチングは固体化した膜の表面の形状で進むため、絶縁膜の表面は平坦化される。

【実施例】

以下、本発明の一実施例を第1図、第2図、第3図、第4図により説明する。

第1図に凹凸のある配線パターン上に絶縁膜をボイドなしに形成する処理室構成を示し、以下に説明する。

処理室1には上電極2、下電極3が組込まれている。上電極2はセラミックス板4により処理室1と絶縁されており、13.56MHzの高周波電源5が接続されている。またガス流量コントローラ6より、ガス供給管7を通して、有機シランガス(Si(OCH₃)₄)、O₂、CF₄ガスが供給できる構造となっている。供給されたガスは上部電極2に設けられた小さなガス供給口8より、処理室内にシャワー状に供給される。ウエハ9は下部電極3上に設置される。下部電極3にはヒータ

10が組込まれており、ヒータ電源コントローラ11により、温度制御される。また下部電極3はベース12に対しては絶縁ブロック13により絶縁され、処理室1と絶縁された構成となっており、アースに対し可変抵抗14を通して接続されている。

処理室1には排気管15が接続されており、図示しない排気装置により、処理室1内の圧力を設定値にコントロールできるようになっている。

処理室1の下には搬送室16があり、ベース12を上下に駆動する図示しない機構が設けられている。

ベース12を押上げた状態ではベース12と処理室1により、処理室1は密閉される。ウエハ9はベース12を下げた状態で搬送室16内の図示しない搬送機構により搬送される。

第2図に配線パターン上に形成した絶縁膜の表面を平坦にする処理室の構成を示し、以下に説明する。

処理室20には上電極21、下電極22が組込

まれている。上電極21にはガス流量コントローラ23、ガス供給管24を通して、有機シランガス(Si(OCH₃)₄)、CF₄ガスが供給できる構造となっている。また上部電極21の中央には開口があり上部の石英板25により真空封止されている。レーザ源26には2波長以上のレーザ光を発射できるレーザシステムが組込まれており、ハーフミラ27で反射され、石英板25、ガス供給口28を介してウエハ9に当たるようになっている。その反射光は同一経路を通り、ハーフミラ27を通りディテクタ29に入射する。

ディテクタ29ではレーザ源の各波長ごとにその反射強度を測定できるようになっており、判定装置30により、ウエハ9上の膜厚を算出できるようになっている。上部電極21の周囲にはランプヒータ31が設けてあり、ヒータコントローラ32により制御され、ウエハ9の温度を40°C以上できるように設定されている。ウエハ9は下部電極22上に設置されている。下部電極22の周囲にはセラミックス部品33を介してアースシ

ルド34が接続されており、13.56MHzの高周波電源35より高周波電圧を印加した時、下部電極の上面でのみ放電が発生するようになっている。また下部電極22の内部には冷却機36より、-60°C~-70°Cに冷却した冷媒を供給し、電極の温度を-60°Cに下げられるようになっているとともに、ヘリウムガス供給源37より一定電流のヘリウムガスをウエハ9と電極22の間に流すようになっている。ウエハ9の周囲にはウエハ押さえ38があり、ウエハ9を電極22に押付けるようになっている。

処理室20の下には搬送室があり、ベース39を上下に駆動する図示しない機構が設けられている。

ベース39を押上げた状態ではベース39と処理室20により、処理室20は密閉される。ウエハ9はベース39を下げた状態で、搬送室16内の図示されない搬送機構により搬送される。

処理室20にはその他排気管40、モニタ窓41が設けられている。排気管40には図示しな

い排気装置が接続してあり、処理室20内の圧力を設定値にコントロールできるようになっている。モニタ窓41にはフィルタ42を介してディテクタ43が設置されており、プラズマ中のHを含んだ分子、H原子の発光レベルの変化が測定できるようになっている。この信号が設定レベルより下がると処理完了判定装置44により、処理の完了を判定するようになっている。

次に第1図及び第2図に示す処理室による処理方法について、第3図及び第4図に基いて説明する。

処理室1にウエハ9を搬送し、ベース12を押上げ、処理室1を密閉する。ガス流量コントローラ6により、Si(O₂, H₂)、O₂, CF₄ガスを混合してガス供給口8よりシャワー状に供給する。ウエハ9を下電極3で300℃～400℃に加熱し、処理室1内の圧力を設定値にして高周波電源5より上部電極2に高周波電圧を印加し、処理室1内にプラズマ60を発生させる。プラズマ60により有機シランガス(Si(O₂, H₂)_xガス)

は分解し、O₂ガスと反応し、ヒータ10により加熱されたウエハ9上に形成された配線膜50の上に酸化シリコン膜(SiO₂膜)51を形成すると共に上記分解された炭素(C)、水素(H)は单独、又はO₂ガスと反応してガス化して排気される。一方、ガス供給口8よりシャワー状に混合して供給されたCF₄ガスは、上記プラズマ60内で分解されCF₃⁺及びFラジカルができる。上部電極2とプラズマ60の間のシースには印加した高周波電圧による電位差が生じ、プラズマ60と処理室内壁61、プラズマ60と下部電極3の間のシースにも高周波電圧による電位差が生じる。上部電極2に高周波電源5を接続している關係で、上部電極2とプラズマ60の間に発生する電位差の方が、処理室内壁61、下部電極3とプラズマ60の間に発生する電位差よりも大きい。CF₃⁺はこれらシース間の電位差により加速され、電極やウエハ9に入射する。ウエハ9上に形成された酸化シリコン膜(SiO₂膜)51は、この加速されて入射するCF₃⁺イオンと反応し、SiF₄ガス、

CO₂ガスとなり、排気管15から排気され、エッティングが進む。この時、CF₃⁺イオンは加速され、方向性をもってウエハ9に垂直に入射するため、段差パターンの側面はエッティングが進まず、平坦な部分やオーバーハングした部分が主にエッティングされる。また、CF₃⁺イオンのスパッタ効果により、垂直方向から45°付近の角度の面が早くエッティングされる効果も加わり、エッティングが進む。

このように、有機シランガス(Si(O₂, H₂)_xガス)の分解ガスとO₂ガスの反応で酸化シリコン膜(SiO₂膜)51が形成される一方、形成された酸化シリコン膜51のオーバーハングした部分や45°付近の傾斜面がよくエッティングされるため、形成された酸化シリコン膜51は第3図(a)に示すように扇テープ状に圓形成され、酸化シリコン膜51中に空洞が形成されることはない。即ち、この酸化シリコン膜形成では、配線膜50上部にオーバーハングして膜が付着し、両側のオーバーハングが付して内部にポイドが形成されるよう

ことはなく、第3図(b)に示すように、ボイドの発生しない酸化シリコン膜形成が可能である。処理室1では、更に処理を続け、第3図(c)に示す形状まで酸化シリコン膜形成を行ない、この処理を完了する。

この方法では、従来行なわれているように、Ar⁺イオンのスパッタエッティングで酸化シリコン膜をエッティングするのではなく、化学反応により気化し、排気されるため、スパッタした酸化シリコン膜が処理室内壁61などに付着し、塵埃となることはなく、高品質の酸化シリコン膜51を配線膜51上に成膜することができる。

また成膜用ガスとしては、上記実施例の他、Si(O₂H₂)_x、SiF₄、SiH₄などのガスを用いることができる。

また、エッティングガスとしては、C₂F₆、C₃F₈、CH₂F₂などのフッ素(F)を含んでいるガスであれば良い。

本実施例では、上部電極2とプラズマ60の間に発生する電位差の方が、処理室内壁61、下部

電極3とプラズマ60の間に発生する電位差よりも大きいことは先に述べた。CF₃+イオンにより酸化シリコン膜51のエッティング速度は、この加速電圧に比例するため、本実施例の場合、上部電極2の表面のエッティング速度はウエハ9の表面のエッティング速度より大きくなる。酸化シリコン膜51の成膜速度は上部電極2、下部電極3とも同じであるため、上部電極2の成膜速度とエッティング速度を同じにするか、エッティング速度が早い条件に設定することにより、上部電極2には、上記膜を付着せずに、ウエハ9上だけ、酸化シリコン膜51を形成でき、付着膜のはがれによる廃棄の発生を防止することができ、高品質の酸化シリコン膜形成を実現することができる。

更に本実施例に示すように、可変抵抗器14により、下部電極3を通過する高周波電流経路のインピーダンスを高め、下部電極3を通過する高周波電流を下げるとき下部電極3とプラズマ60間の電位差も小さくなる。これにより、CF₃+イオンの加速状況は、上部電極2>処理室内壁61>下部電極3

となり、エッティング速度もこれに比例する。従って、処理室内壁61のエッティング速度を成膜速度より大きくすることにより、下部電極3上だけで酸化シリコン膜形成を行ない、他の部分では上記膜形成が行なわれないようにすることができる。

以上のように第1図に示す本方法では成膜処理中に処理室内面61への膜形成がないので、成膜処理後の処理室内の付着膜除去処理が不要となり、スループットの向上が図れる。またリアクティブイオンエッティングと成膜との同時処理であるため、エッティングに必要なCF₃+等のイオンのエネルギーを下げることができ、スパッタエッティング（物理的なエッティング処理）を同時に行う場合に比べ、ウエハ9上に形成された半導体デバイスに与える影響が小さいなどの効果がある。また本発明では第1図に示すように、エッティング用のCF₃ガスと成膜用のSi(OCH₃)₄とO₂ガスを混合して供給し、同時に処理しているがこれを分けて処理しても、ボイドの発生前にエッティング処理を行なえば問題ないことは明らかである。またウエ

ハ9上のエッティング速度を下げる方法は、本発明に示すように可変抵抗14を用いる方法だけでなく、下部電極3に高周波電源5とは異なる周波数の電源（図示せず）を接続し、両電源の出力をコントロールする方法など、上部電極4、下部電極3、処理内壁でのエッティング速度がコントロールできる方法であればよい。

次に形成した酸化シリコン膜51の表面を平坦化する方法について説明する。

処理室1での処理が完了したウエハ9を図示しない搬送装置により、下部電極22上に搬送する。

ベース39を押上げ、処理室20を密閉状態にしてウエハ9をウエハ抑え38により下部電極22上に押付ける。レーザ頭26より2波長以上のレーザを照射し、ウエハ9内の膜厚測定用に設けられたエリアに形成された酸化シリコン膜(SiO₂膜)51の膜厚を、各波長の反射強度の比率より算出する。反射するレーザ光の強度は膜の表面で反射した光と酸化シリコン膜51とその下の配線膜50の界面で反射された光が干渉す

るため、膜厚と一定の関係をもって周期的に変化する。波長が異なるとこの周期が異なるため、多くの波長を用いるほどより精度の高い膜厚測定ができることが知られている。以上の方法により形成された酸化シリコン膜51の膜厚を測定する。

下部電極22は-60℃に冷却されており、ウエハ9と下部電極22の間にヘリウムガスを流すことにより、ウエハ9と電極22間の熱の通過率が向上し、ウエハ9の温度は-40℃に冷却される。ガス流量コントローラ23よりSi(OCH₃)₄ガスを供給し、処理室20の圧力をSi(OCH₃)₄ガスの20℃の蒸気圧である10Torr以下に保つ。

処理室20、上部電極21の表面温度は室温の20℃以上に保たれているため、Si(OCH₃)₄ガスは結露しない。しかしウエハ9の表面は-40℃に冷却されているためSi(OCH₃)₄ガスは固体となってウエハ9の表面に付着する。この付着量はディテクタ29で検出されるレーザ干涉の強度変化より測定できる。しかしレーザを連

統的に照射するとウエハ表面の温度が上昇するため断続的にレーザを発射し、測定する。

設定膜厚に達した点で Si (OCH₃)_x ガスの供給をガス流量コントローラ 23 により停止する。

以上の処理完了後、Si (OCH₃)_x 膜 52 は第 4 図 (a) に示すようにウエハ 9 の表面に付着する輻射加熱手段であるランプヒータ 31 を点灯し、ウエハ温度を 0 ℃まで昇温する。なお、ウエハ温度を計測する手段を下部電極 22 に設けてもよいことは明らかである。Si (OCH₃)_x の融点は -4 ℃であるため、Si (OCH₃)_x は液体となり、表面は第 4 図 (b) に示すように平坦になる。この後、ランプヒータ 31 を消し、ウエハ 9 の温度を再度 -4.0 ℃に下げるにより被体化された Si (OCH₃)_x は再び固体となる。

次に CF₄ ガスをガス供給管 24 を通して供給し、下部電極 22 に 13.56MHz の高周波電源 35 により高周波電圧を印加し、上部電極 21 との間に放電を発生させる。CF₄ ガスはプラズマにより CF₃⁺, F ラジカル等に分解されるため、

CH₃)_x の膜 52 がなくなった後すぐには処理を停止せず、この厚い分もエッティングした後、処理を完了する。

以上により、表面を、配線膜 50 によって生じるウエハ 9 の表面（絶縁膜表面）の凹凸に影響されずに平坦に形成することができる。

本発明では付着されるガスとして Si (OCH₃)_x を用いたがこれに限定されるものではない。電極温度を -100 ℃程度に下げることが可能なならば融解温度 -77 ℃の Si (O₂, H₂)_x を使うこともできる。ガスとして供給でき、ウエハ温度制御範囲に融点があるとともに、絶縁膜 52 をエッティングできるガスと同一ガスで絶縁膜 52 と同じエッティング速度が得られる材料であれば本発明が適用できることは明らかである。また本発明では付着した Si (OCH₃)_x をランプヒータのウエハ加熱により溶融したが、これに限定されるものではなく、下部電極の温度を制御する方法など、ウエハの温度を制御できる方法であればよい。

エッティングガスは CF₄ の他 C₂F₆, C₃F₈, C

これらのイオンやラジカルにより、Si (OCH₃)_x 膜 52 は SiF, CO, CH, H などのガス成分に分解され、エッティングが進行する。高周波電源 35 により高周波電力、排気管 40 に接続されたコントロール手段により処理圧力などの条件を固体化した Si (OCH₃)_x 膜 52 と微細シリコン膜 51 のエッティング速度が同じになる条件に設定する。この条件でエッティングするとウエハ 9 の絶縁膜（微細シリコン膜）51 の表面は第 4 図 (c) に示すように平坦にエッティングが進む。Si (OCH₃)_x が残っている時プラズマ中には CH, H, OH 等 H を含んだ分子、原子の発光が存在する。この発光の変化を調べることで Si (OCH₃)_x の膜 52 の有無が確認できる。処理完了判定装置 44 により、Si (OCH₃)_x の膜 52 がなくなったことを検知し、エッティング処理を完了する。この時、表面の状況は第 4 図 (d) のようになっている。処理前にディテクタ 29 で検出されるレーザ干渉により測定した微細シリコン膜 51 の膜厚が設定値より厚い場合、Si (O

H)₂ などのガスを用いることもできる。

また本発明では同一の搬送系で接続された処理室 1 と処理室 20 について説明したが、各処理室は同一搬送系で接続せず、独立の装置であってもよい。

【発明の効果】

本発明によれば、配線パターン上に平坦な絶縁膜をボイドなしに形成できるので、高集積化された多層配線構造のデバイスを歩留りよく製造できる効果がある。またスパッタエッティングのようにイオンエネルギーの高い条件が必要な処理を用いないため、高集積化された微細パターンのデバイスの特性に影響を与せず、平坦な絶縁膜の形成ができ、半導体デバイスを歩留りよく製造できる効果がある。

また本発明ではウエハ温度を 400 ℃以上にはしないため、不純物濃度プロファイルへの影響が小さく、微細構造の半導体デバイスを歩留りよく製造できる効果がある。

また本発明では塗布等のウェット処理がないた

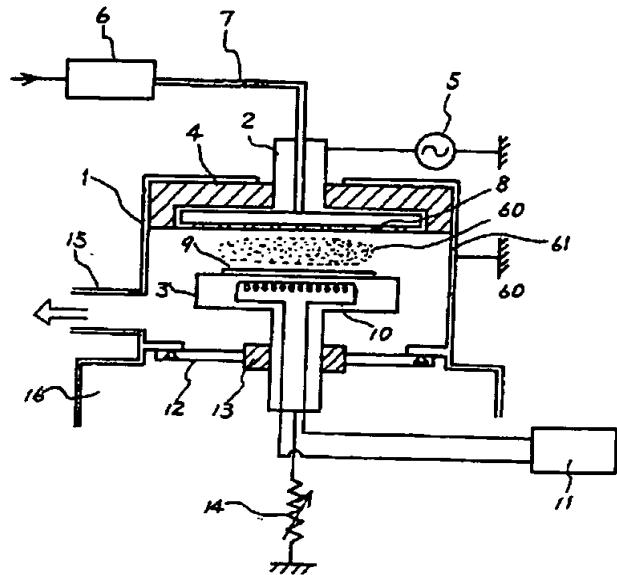
め、真空で連続した装置での一貫処理が可能であり、工程の簡略化がはかれる効果がある。

4. 図面の簡単な説明

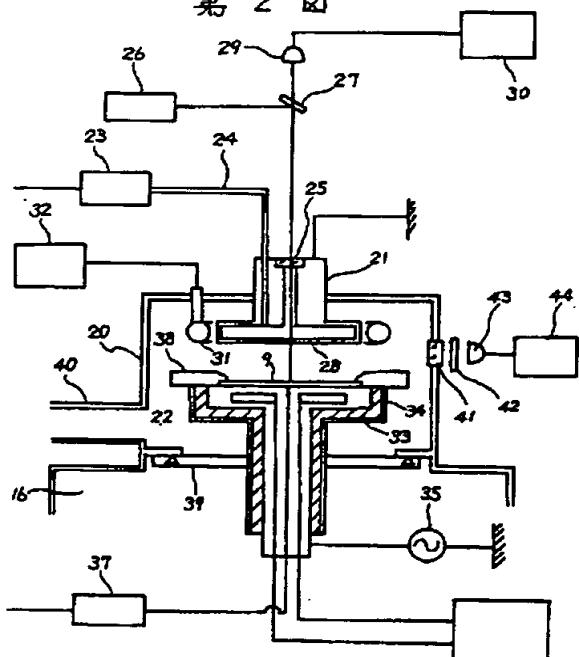
第1図は本発明の半導体デバイスの配線絶縁膜の形成装置の一実施例の概略構成を示す断面図。第2図は本発明の半導体デバイスの配線絶縁膜の形成装置の他の一実施例の概略構成を示す断面図。第3図は第1図に示す装置により、形成される絶縁膜の形成過程を示す図。第4図は第2図に示す装置により表面を平坦化する過程を示す図である。

- | | |
|----------------|--------------|
| 1 … 处理室、 | 2 … 上部電極、 |
| 3 … 下部電極、 | 5 … 高周波電源、 |
| 14 … 可変抵抗器、 | 20 … 处理室、 |
| 21 … 上部電極、 | 22 … 下部電極、 |
| 31 … ランプヒータ、 | 35 … 高周波電源、 |
| 36 … 冷凍機、 | 50 … 配線パターン、 |
| 51 … 硅化シリコン膜、 | |
| 52 … 吸収したガスの膜、 | |

第1図

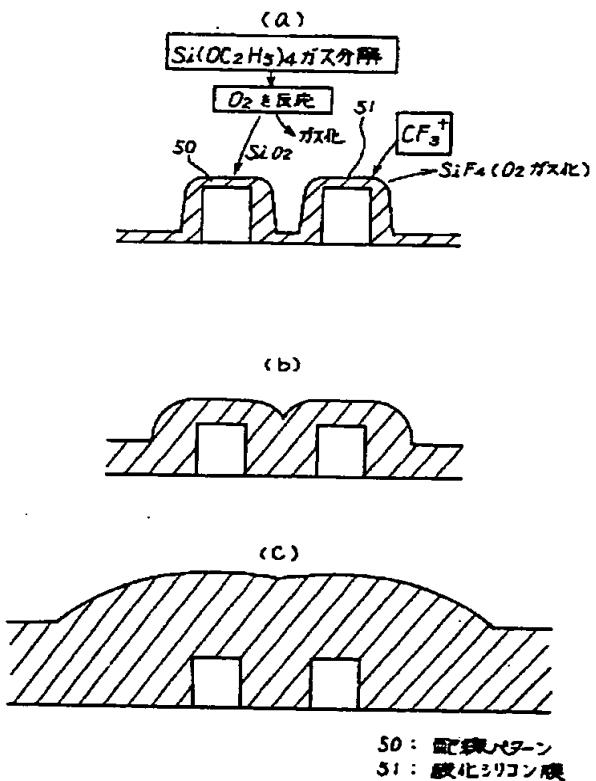


第2図



- 20: 处理室 35: 高周波電源
21: 上部電極 36: 冷凍機
22: 下部電極 38: ウエーリ押え
31: ランプヒーター

第3図



第4図

